

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
)	
Shino MATSUBARA)	Group Art Unit: Unassigned
)	
Application No.: Unassigned)	Examiner: Unassigned
)	
Filed: September 23, 2003)	Confirmation No.: Unassigned
)	
For: LAYOUT DESIGN APPARATUS)	

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japan Patent Application No. 2003-085907
Filed: March 26, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: September 23, 2003

By: 

Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of
the following application as filed with this Office.

Date of Application : March 26, 2003

Application Number : Japanese Patent Application No. 2003-085907

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA

MITSUBISHI ELECTRIC SYSTEM LSI DESIGN CORPORATION

This 2nd day of May, 2003

Commissioner,

Japan Patent Office Shinichiro OTA

Certificate No. 2003-3031859

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月26日

出 願 番 号

Application Number:

特願2003-085907

[ST.10/C]:

[JP 2003-085907]

出 願 人

Applicant(s):

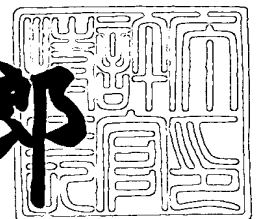
三菱電機株式会社

三菱電機システムエル・エス・アイ・デザイン株式会社

2003年 5月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3031859

【書類名】 特許願

【整理番号】 541647JP01

【提出日】 平成15年 3月26日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 17/50
H01L 21/82

【発明者】

【住所又は居所】 兵庫県伊丹市中央3丁目1番17号 三菱電機システム
エル・エス・アイ・デザイン株式会社内

【氏名】 松原 紫乃

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【特許出願人】

【識別番号】 391024515

【氏名又は名称】 三菱電機システムエル・エス・アイ・デザイン株式会社

【代理人】

【識別番号】 100066474

【弁理士】

【氏名又は名称】 田澤 博昭

【選任した代理人】

【識別番号】 100088605

【弁理士】

【氏名又は名称】 加藤 公延

【手数料の表示】

【予納台帳番号】 020640

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 レイアウト設計装置

【特許請求の範囲】

【請求項1】 半導体集積回路をレイアウト設計するレイアウト設計装置において、

第1の回路と第2の回路とを含む半導体集積回路における、上記第1の回路に割り当てられる第1回路領域と、上記第2の回路に割り当てられる第2回路領域とを決定する領域決定手段と、

上記半導体集積回路全体に対するネットリストを用いて配置配線を行い、配線が n 層（ n は2以上の整数）の配線層で構成される上記第1の回路のレイアウトを上記第1回路領域に形成し、上記第1の回路のレイアウトと接続する、配線が $n-m$ 層（ m は n より小さい正の整数）の配線層で構成される上記第2の回路のレイアウトを上記第2回路領域に形成する初期レイアウト手段と、

第3の回路に対するネットリストを用いて配置配線を行い、配線が上記第2の回路の配線を構成する配線層で構成されるように上記第3の回路のレイアウトを形成し、上記初期レイアウト手段で形成された上記第2の回路のレイアウトを上記第3の回路のレイアウトと入れ替えるレイアウト変更手段と

を備えたレイアウト設計装置。

【請求項2】 レイアウト変更手段は、第3の回路に対するネットリストを作成するネットリスト作成手段と、上記第3の回路に対するネットリストを用いて配置配線を行い、配線が第2の回路の配線を構成する配線層で構成されるように上記第3の回路のレイアウトを形成する配置配線手段と、初期レイアウト手段で形成された第2の回路のレイアウトを上記第3の回路のレイアウトと入れ替えて、上記第3の回路のレイアウトを第1の回路のレイアウトに接続する接続手段とを備えたことを特徴とする請求項1記載のレイアウト設計装置。

【請求項3】 第3の回路のレイアウトは、第1の回路のレイアウトと第2の回路のレイアウトとを接続する配線を用いて上記第1の回路のレイアウトと接続可能であることを特徴とする請求項1記載のレイアウト設計装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体集積回路をレイアウト設計するレイアウト設計装置に関するものである。

【0002】

【従来の技術】

半導体集積回路をレイアウト設計する場合、先ず、半導体集積回路全体に対するネットリストを用いて配置配線を行い、配線が n 層（ n は2以上の整数）の配線層で構成される半導体集積回路のレイアウトを形成する。

その後、半導体レイアウトデータを用いて半導体集積回路の論理シミュレーション及びレイアウト検証を順に行う。

満足な論理シミュレーション結果及びレイアウト検証結果が得られた場合、半導体集積回路のレイアウトデータを出力し、レイアウト設計を終了する。論理シミュレーション結果やレイアウト検証結果が不十分な場合、配置配線をやり直す。

半導体集積回路のレイアウトデータは、以後、マスクの作製に使用される。

【0003】

既にレイアウト設計された半導体集積回路の一部を変更して、新たな半導体集積回路をレイアウト設計する場合、回路の変更に対応した新たな半導体集積回路全体に対するネットリストを作成し、レイアウト設計を始めからやり直す。

【0004】

最近、既にレイアウト設計された半導体集積回路の一部を変更して、新たな半導体集積回路をレイアウト設計する場合に、（a）第1ネットリストを受け取る工程と、（b）第1ネットリストに対応し、素子レイアウトおよびその素子レイアウト上に順次積層される第1から第 n （ $n \geq 2$ ）までの n 個の配線平面レイアウトを有する第1レイアウトを作成する工程と、（c）第1ネットリストとは異なる第2ネットリストを受け取る工程と、（d）第1レイアウトの n 個の配線平面レイアウトから $n-1$ 個以下の少なくとも1つの配線平面レイアウトを選択する工程と、（e）選択された少なくとも1つの配線平面レイアウトの物理的構成

を変更することによって、素子レイアウトと、第1レイアウトのうちの非選択とされた配線平面レイアウトと、変更された配線平面レイアウトとからなり、第2ネットリストに対応する第2レイアウトを作成する工程とを行うことにより、特定の配線層のレイアウトのみを変更する場合がある（例えば、特許文献1参照。）。

【0005】

【特許文献1】

特開2000-82093号公報（図1）

【0006】

【発明が解決しようとする課題】

既にレイアウト設計された半導体集積回路の一部を変更して、新たな半導体集積回路をレイアウト設計する場合に、レイアウト設計を始めからやり直すときには、レイアウト設計に時間がかかり、開発期間が長くなる。また、すべての配線層に対するマスクを新たに作製するため、開発コストが高くなる。特定の配線層のレイアウトのみを変更するときには、このような不都合は低減するが、上述した従来の方法では、特定の配線層の全領域をレイアウト変更の対象としているため、所定の領域のみを変更すればよい場合には、レイアウト設計期間を十分に短くすることができず、開発期間が長くなる。

また、上述した従来の方法では、半導体集積回路の一部を他の回路に変更して、機能の異なる新たな半導体集積回路を開発することは想定されていない。

【0007】

この発明は上記のような問題点を解決するためになされたもので、短期間及び低コストで半導体集積回路を開発することを可能とするレイアウト設計装置を得ることを目的とする。

また、この発明は半導体集積回路の一部を他の回路に変更して、機能の異なる新たな半導体集積回路を開発する場合に有効なレイアウト設計装置を得ることを目的とする。

【0008】

【課題を解決するための手段】

この発明に係るレイアウト設計装置は、半導体集積回路全体に対するネットリストを用いて配置配線を行い、配線が n 層（ n は2以上の整数）の配線層で構成される第1の回路のレイアウトを第1回路領域に形成し、第1の回路のレイアウトと接続する、配線が $n-m$ 層（ m は n より小さい正の整数）の配線層で構成される第2の回路のレイアウトを第2回路領域に形成する初期レイアウト手段と、第3の回路に対するネットリストを用いて配置配線を行い、配線が第2の回路の配線を構成する配線層で構成されるように第3の回路のレイアウトを形成し、初期レイアウト手段で形成された第2の回路のレイアウトを第3の回路のレイアウトと入れ替えるレイアウト変更手段とを備えたものである。

【0009】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態1.

図1はこの発明の実施の形態1によるレイアウト設計装置を示すブロック図である。

レイアウト設計装置1は、第1の回路と第2の回路とを含む半導体集積回路における、第1の回路に割り当てられる第1回路領域と、第2の回路に割り当てられる第2回路領域とを決定する領域決定手段2を備える。第1の回路は他の回路への変更が予定されていない回路であり、第2の回路は他の回路への変更が予定されている回路である。第2の回路は、例えば、1つのモジュールとして表される所定の機能を持った回路である。

【0010】

また、レイアウト設計装置1は、第1の回路と第2の回路とを含む半導体集積回路全体に対するネットリストを用いて配置配線を行い、配線が n 層（ n は2以上の整数）の配線層で構成される第1の回路のレイアウトを第1回路領域に形成し、第1の回路のレイアウトと接続する、配線が $n-m$ 層（ m は n より小さい正の整数）の配線層で構成される第2の回路のレイアウトを第2回路領域に形成する初期レイアウト手段3を備える。例えば、 $n=4$ 、 $m=2$ の場合、第1の回路の配線は4層の配線層で構成され、第2の回路の配線は2層の配線層で構成され

る。ここでの配線層には、水平方向に走る配線が形成される層だけではなく、コンタクトホールやビアホールが形成される層も含まれる。第2の回路の配線が構成される配線層は、第1の回路の配線が構成される配線層と同じ層を構成する。第2の回路の配線が構成される配線層の位置は、第1の回路の配線が構成される配線層のうちの下側に位置する配線層と同じ層を構成する位置であっても、上側に位置する配線層と同じ層を構成する位置であっても、中間に位置する配線層と同じ層を構成する位置であってもよい。

【0011】

また、レイアウト設計装置1は、第3の回路に対するネットリストを用いて配置配線を行い、配線が第2の回路の配線を構成する配線層で構成されるように第3の回路のレイアウトを形成し、初期レイアウト手段3で形成された第2の回路のレイアウトを第3の回路のレイアウトと入れ替えるレイアウト変更手段4を備える。例えば、 $n=4$ 、 $m=2$ の場合、第3の回路の配線は2層の配線層で構成される。例えば、第2の回路の配線が第1層目と第2層目の配線層で構成されていた場合、第3の回路の配線も第1層目と第2層目の配線層で構成される。

【0012】

初期レイアウト手段3は、第1の回路と第2の回路とを含む半導体集積回路全体に対するネットリストを用いて配線遅延を考慮しながら配置配線を行い、配線が n 層の配線層で構成される第1の回路のレイアウトを第1回路領域に形成し、配線が $n-m$ 層の配線層で構成される第2の回路のレイアウトを第2回路領域に形成し、第1の回路のレイアウトと第2の回路のレイアウトとを接続する配線を第1回路領域と第2回路領域の境界に形成する第1の配置配線手段31を備える。半導体集積回路全体に対するネットリストには、第1の回路に対するネットリストと、第2の回路に対するネットリストと、第1の回路と第2の回路との接続を規定するネットリストとが含まれる。第1の配置配線手段31は、第1の回路のレイアウトの形成と第2の回路のレイアウトの形成と第1の回路のレイアウトと第2の回路のレイアウトとを接続する配線の形成を同時に行う構成であってもよいし、第1の回路のレイアウトの形成と第2の回路のレイアウトの形成と第1の回路のレイアウトと第2の回路のレイアウトとを接続する配線の形成を順に行

う構成であってもよい。

【0013】

さらに、初期レイアウト手段3は、第1の回路と第2の回路とを含む半導体集積回路のレイアウトデータを抽出する第1のレイアウトデータ抽出手段32と、第1の回路と第2の回路とを含む半導体集積回路のレイアウトデータを用いて、第1の回路と第2の回路とを含む半導体集積回路の論理シミュレーションを行う第1の論理シミュレーション手段33と、第1の回路と第2の回路とを含む半導体集積回路のレイアウトデータを用いて、第1の回路と第2の回路とを含む半導体集積回路のレイアウト検証を行う第1のレイアウト検証手段34と、第1の回路と第2の回路とを含む半導体集積回路のレイアウトデータを出力する第1のレイアウトデータ出力手段35とを備える。

【0014】

レイアウト変更手段4は、第3の回路に対するネットリストを作成するネットリスト作成手段41と、第3の回路に対するネットリストを用いて配線遅延を考慮しながら配置配線を行い、配線が第2の回路の配線を構成する配線層で構成されるように第3の回路のレイアウトを形成する第2の配置配線手段42と、第1の配置配線手段31で形成された第2の回路のレイアウトを第2の配置配線手段42で形成された第3の回路のレイアウトと入れ替えて、第3の回路のレイアウトを第1の配置配線手段31で形成された第1の回路のレイアウトに接続する接続手段43とを備える。第2の配置配線手段42は、第3の回路のレイアウトのサイズが第2の回路のレイアウトのサイズと一致するように、第3の回路のレイアウトを形成する。また、第2の配置配線手段42は、第3の回路のレイアウトが第1の回路のレイアウトと第2の回路のレイアウトとを接続する配線を用いて第1の回路のレイアウトに接続可能なように、第3の回路のレイアウトを形成する。第3の回路のレイアウトは第1の回路のレイアウトと第2の回路のレイアウトとを接続する配線を用いて第1の回路のレイアウトと接続可能なように形成されているため、第2の回路のレイアウトを第3の回路のレイアウトと入れ替えるだけで、第3の回路のレイアウトは第1の回路のレイアウトに接続する。

【0015】

さらに、レイアウト変更手段4は、第1の回路と第3の回路とを含む半導体集積回路のレイアウトデータを抽出する第2のレイアウトデータ抽出手段44と、第1の回路と第3の回路とを含む半導体集積回路のレイアウトデータを用いて第1の回路と第3の回路とを含む半導体集積回路の論理シミュレーションを行う第2の論理シミュレーション手段45と、第1の回路と第3の回路とを含む半導体集積回路のレイアウトデータを用いて第1の回路と第3の回路とを含む半導体集積回路のレイアウト検証を行う第2のレイアウト検証手段46と、第1の回路と第3の回路とを含む半導体集積回路のレイアウトデータを出力する第2のレイアウトデータ出力手段47とを備える。

【0016】

次に動作について説明する。

図2は図1に示すレイアウト設計装置中の初期レイアウト手段の動作を示すフローチャートである。図3は図1に示すレイアウト設計装置中のレイアウト変更手段の動作を示すフローチャートである。

【0017】

先ず、領域決定手段2が、他の回路への変更が予定されていない第1の回路と他の回路への変更が予定されている第2の回路とを含む半導体集積回路における、第1の回路に割り当てられる第1回路領域と、第2の回路に割り当てられる第2回路領域とを決定する（ステップST1）。

図4は第1回路領域と第2回路領域の形状の例を示す平面図である。図4において、51は第1回路領域を示し、52は第2回路領域を示す。図4（a）はレイアウト設計領域（チップ）のコーナーに第2回路領域52を設定した場合を示し、図4（b）はレイアウト設計領域（チップ）を2つの長方形領域に分けて、一方を第1回路領域51に設定し他方を第2回路領域52に設定した場合を示し、図4（c）はレイアウト設計領域（チップ）を中心領域とその中心領域を取り囲む周辺領域とに分けて、中心領域を第2回路領域52に設定し周辺領域を第1回路領域51に設定した場合を示し、図4（d）はレイアウト設計領域（チップ）を2つのかぎ括弧形領域に分けて、一方を第1回路領域51に設定し他方を第2回路領域52に設定した場合を示し、図4（e）はレイアウト設計領域（チッ

プ) を中心領域とその中心領域を取り囲む周辺領域とに分けて、中心領域を第 1 回路領域 5 1 に設定し周辺領域を第 2 回路領域 5 2 に設定した場合を示す。

【0 0 1 8】

その後、第 1 の配置配線手段 3 1 が、領域決定手段 2 から領域決定結果を受け取り、外部から第 1 の回路と第 2 の回路とを含む半導体集積回路全体に対するネットリストを受け取る。そして、第 1 の回路と第 2 の回路とを含む半導体集積回路全体に対するネットリストを用いて配置配線を行う (ステップ S T 2)。この配置配線により、配線が n 層の配線層で構成される第 1 の回路のレイアウトを第 1 回路領域に形成し、配線が $n - m$ 層の配線層で構成される第 2 の回路のレイアウトを第 2 回路領域に形成し、第 1 の回路のレイアウトと第 2 の回路のレイアウトとを接続する配線を第 1 回路領域と第 2 回路領域の境界に形成する。

【0 0 1 9】

その後、第 1 の配置配線手段 3 1 が、第 1 のレイアウトデータ抽出手段 3 2 に配置配線結果を出力する。そして、第 1 のレイアウトデータ抽出手段 3 2 が、第 1 の回路と第 2 の回路とを含む半導体集積回路のレイアウトデータを抽出する (ステップ S T 3)。

その後、第 1 のレイアウトデータ抽出手段 3 2 が、第 1 の回路と第 2 の回路とを含む半導体集積回路のレイアウトデータを第 1 の論理シミュレーション手段 3 3 に出力する。そして、第 1 の論理シミュレーション手段 3 3 が、第 1 の回路と第 2 の回路とを含む半導体集積回路のレイアウトデータを用いて、第 1 の回路と第 2 の回路とを含む半導体集積回路の論理シミュレーションを行う (ステップ S T 4)。

満足な論理シミュレーション結果が得られた場合、第 1 の論理シミュレーション手段 3 3 が、論理シミュレーション結果を第 1 のレイアウトデータ抽出手段 3 2 に出力する。そして、第 1 のレイアウトデータ抽出手段 3 2 が、第 1 の回路と第 2 の回路とを含む半導体集積回路のレイアウトデータを第 1 のレイアウト検証手段 3 4 に出力する。そして、第 1 のレイアウト検証手段 3 4 が、第 1 の回路と第 2 の回路とを含む半導体集積回路のレイアウトデータを用いて、第 1 の回路と第 2 の回路とを含む半導体集積回路のレイアウト検証を行う (ステップ S T 5)。

。論理シミュレーション結果が不十分な場合、第1の論理シミュレーション手段33が、論理シミュレーション結果を第1の配置配線手段31に出力し、第1の配置配線手段31が、配置配線をやり直す（ステップST2）。

満足なレイアウト検証結果が得られた場合、第1のレイアウト検証手段34が、レイアウト検証結果を第1のレイアウトデータ抽出手段32に出力する。そして、第1のレイアウトデータ抽出手段32が、第1の回路と第2の回路とを含む半導体集積回路のレイアウトデータを第1のレイアウトデータ出力手段35に出力する。そして、第1のレイアウトデータ出力手段35が、第1の回路と第2の回路とを含む半導体集積回路のレイアウトデータを外部に出力する（ステップST6）。レイアウト検証結果が不十分な場合、第1のレイアウト検証手段34が、レイアウト検証結果を第1の配置配線手段31に出力し、第1の配置配線手段31が、配置配線をやり直す（ステップST2）。

【0020】

第1の回路と第2の回路とを含む半導体集積回路のレイアウトデータは、以後、マスクの作製に使用される。

【0021】

既にレイアウト設計された、第1の回路と第2の回路とを含む半導体集積回路の一部である第2の回路を第3の回路に変更して、第1の回路と第3の回路とを含む新たな半導体集積回路をレイアウト設計する場合、先ず、ネットリスト作成手段41が、第3の回路に対するネットリストを作成する（ステップST11）。第2の回路の第3の回路への変更が行われる場合として、第2の回路のタイミングの変更を行う場合（同じ製品を開発する場合）や、機能の異なる半導体集積回路を開発する場合（異なる製品を開発する場合）がある。

その後、ネットリスト作成手段41が、第3の回路に対するネットリストを第2の配置配線手段42に出力する。そして、第2の配置配線手段42が、第3の回路に対するネットリストを用いて配置配線を行う（ステップST12）。この配置配線により、配線が第2の回路の配線を構成する配線層で構成されるように第3の回路のレイアウトを形成する。

その後、第2の配置配線手段42が、配置配線結果を接続手段43に出力する

。また、接続手段43が、第1の配置配線手段31から配置配線結果を受け取る。そして、接続手段43が、第1の配置配線手段31で形成された第2の回路のレイアウトを第2の配置配線手段42で形成された第3の回路のレイアウトと入れ替えて、第3の回路のレイアウトを第1の配置配線手段31で形成された第1の回路のレイアウトに接続する（ステップST13）。

【0022】

その後、接続手段43が、接続結果を第2のレイアウトデータ抽出手段44に出力する。そして、第2のレイアウトデータ抽出手段44が、第1の回路と第3の回路とを含む半導体集積回路のレイアウトデータを抽出する（ステップST14）。

その後、第2のレイアウトデータ抽出手段44が、第1の回路と第3の回路とを含む半導体集積回路のレイアウトデータを第2の論理シミュレーション手段45に出力する。そして、第2の論理シミュレーション手段45が、第1の回路と第3の回路とを含む半導体集積回路のレイアウトデータを用いて第1の回路と第3の回路とを含む半導体集積回路の論理シミュレーションを行う（ステップST15）。

満足な論理シミュレーション結果が得られた場合、第2の論理シミュレーション手段45が論理シミュレーション結果を第2のレイアウトデータ抽出手段44に出力する。そして、レイアウトデータ抽出手段44が、第1の回路と第3の回路とを含む半導体集積回路のレイアウトデータを第2のレイアウト検証手段46に出力する。そして、第2のレイアウト検証手段46が、第1の回路と第3の回路とを含む半導体集積回路のレイアウトデータを用いて第1の回路と第3の回路とを含む半導体集積回路のレイアウト検証を行う（ステップST16）。論理シミュレーション結果が不十分な場合、第2の論理シミュレーション手段45が、論理シミュレーション結果を第2の配置配線手段42に出力し、第2の配置配線手段42が、配置配線をやり直す（ステップST12）。

満足なレイアウト検証結果が得られた場合、第2のレイアウト検証手段46が、レイアウト検証結果を第2のレイアウトデータ抽出手段44に出力する。そして、第2のレイアウトデータ抽出手段44が、第1の回路と第3の回路とを含む

半導体集積回路のレイアウトデータを第2のレイアウトデータ出力手段47に出力する。そして、第2のレイアウトデータ出力手段47が、第1の回路と第3の回路とを含む半導体集積回路のレイアウトデータを外部に出力する（ステップST17）。レイアウト検証結果が不十分な場合、第2のレイアウト検証手段46が、レイアウト検証結果を第2の配置配線手段42に出力し、第2の配置配線手段42が、配置配線をやり直す（ステップST12）。

【0023】

第1の回路と第3の回路とを含む半導体集積回路のレイアウトデータは、以後、マスクの作製に使用される。

【0024】

以上のように、この実施の形態1のレイアウト設計装置1によれば、まず、配線が n 層の配線層で構成される第1の回路のレイアウトと配線が $n-m$ 層の配線層で構成される第2の回路のレイアウトとを異なる領域に形成することにより、第1の回路と第2の回路とを含む半導体集積回路をレイアウト設計する。その後、既にレイアウト設計された、第1の回路と第2の回路とを含む半導体集積回路の一部である第2の回路を第3の回路に変更して、第1の回路と第3の回路とを含む新たな半導体集積回路をレイアウト設計する場合、配線が第2の回路の配線を構成する配線層で構成されるように第3の回路のレイアウトを形成し、第2の回路のレイアウトを第3の回路のレイアウトと入れ替える。このため、既にレイアウト設計された半導体集積回路の一部を変更して、新たな半導体集積回路をレイアウト設計する場合に、 $n-m$ 層の配線層のレイアウトのみが変更される。従って、 $n-m$ 層の配線層に対するマスクのみを新たに作製すればよく、開発コストを低くすることができる。また、所定の領域に位置する回路のレイアウトのみが新たに形成される。従って、レイアウト設計期間が短くなり、開発期間を短くすることができる。

また、この実施の形態1のレイアウト設計装置1によれば、第1の回路のレイアウトは変わらないので、半導体集積回路の一部を他の回路に変更して、機能の異なる新たな半導体集積回路を開発する場合に有効である。

【0025】

なお、上述した実施の形態1のレイアウト設計装置1によりレイアウト設計される半導体集積回路は、ゲートアレイ方式の半導体集積回路のような配線工程前までの工程に共通のマスクを用い、配線工程以降の工程に個別のマスクを用いて製造する半導体集積回路である。

また、上述した実施の形態1において、第3の回路のレイアウトデータを抽出し、第3の回路のレイアウトデータを用いて第3の回路の論理シミュレーション及びレイアウト検証を行うように構成してもよい。

【0026】

【発明の効果】

以上のように、この発明によれば、半導体集積回路全体に対するネットリストを用いて配置配線を行い、配線が n 層（ n は2以上の整数）の配線層で構成される第1の回路のレイアウトを第1回路領域に形成し、第1の回路のレイアウトと接続する、配線が $n-m$ 層（ m は n より小さい正の整数）の配線層で構成される第2の回路のレイアウトを第2回路領域に形成する初期レイアウト手段と、第3の回路に対するネットリストを用いて配置配線を行い、配線が第2の回路の配線を構成する配線層で構成されるように第3の回路のレイアウトを形成し、初期レイアウト手段で形成された第2の回路のレイアウトを第3の回路のレイアウトと入れ替えるレイアウト変更手段とを備えるようにレイアウト設計装置を構成したので、短期間及び低コストで半導体集積回路を開発することを可能とするレイアウト設計装置を得ることができるという効果がある。また、半導体集積回路の一部を他の回路に変更して、機能の異なる新たな半導体集積回路を開発する場合に有効なレイアウト設計装置を得ることができるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるレイアウト設計装置を示すブロック図である。

【図2】 図1に示すレイアウト設計装置中の初期レイアウト手段の動作を示すフローチャートである。

【図3】 図1に示すレイアウト設計装置中のレイアウト変更手段の動作を示すフローチャートである。

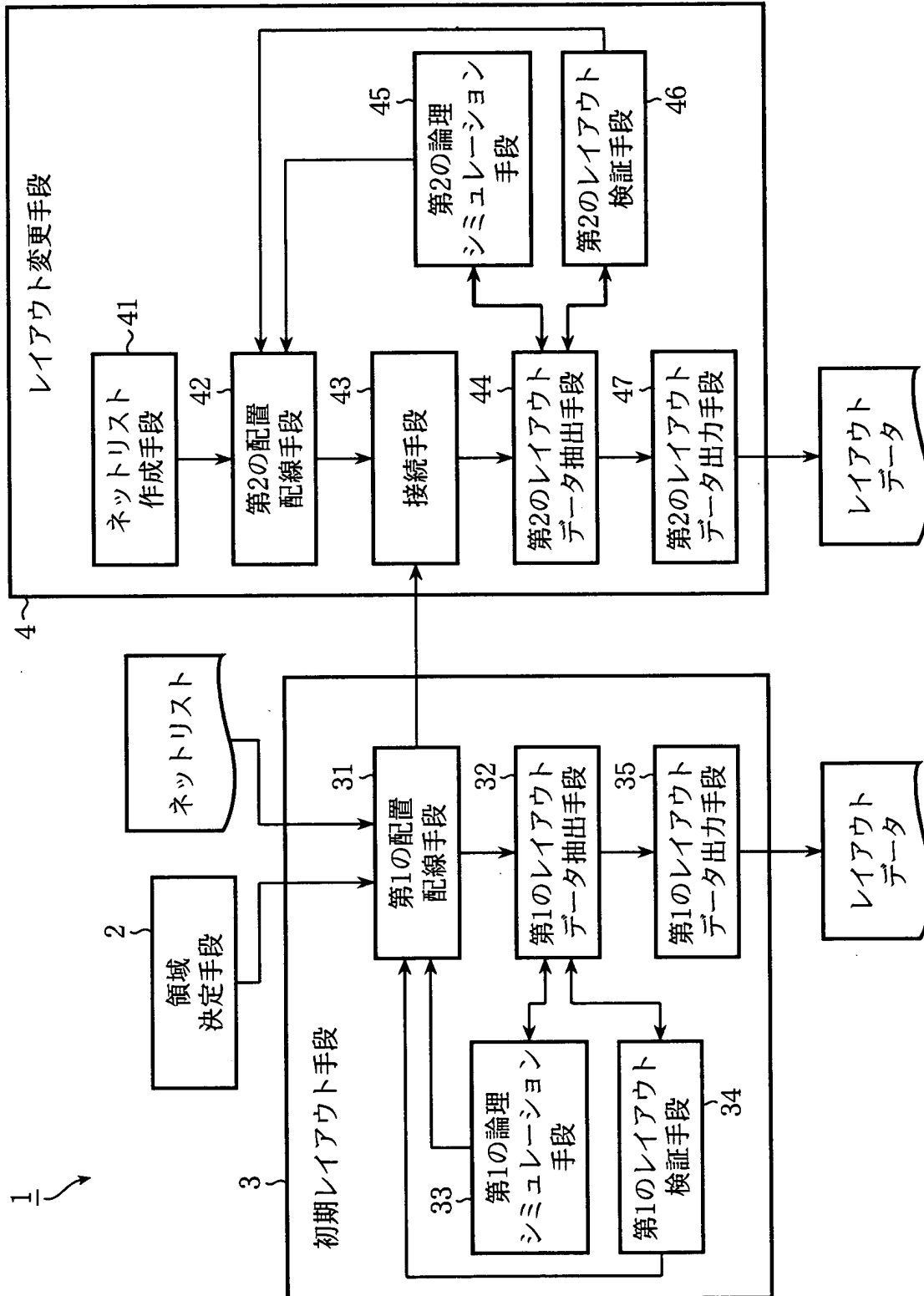
【図4】 第1回路領域と第2回路領域の形状の例を示す平面図である。

【符号の説明】

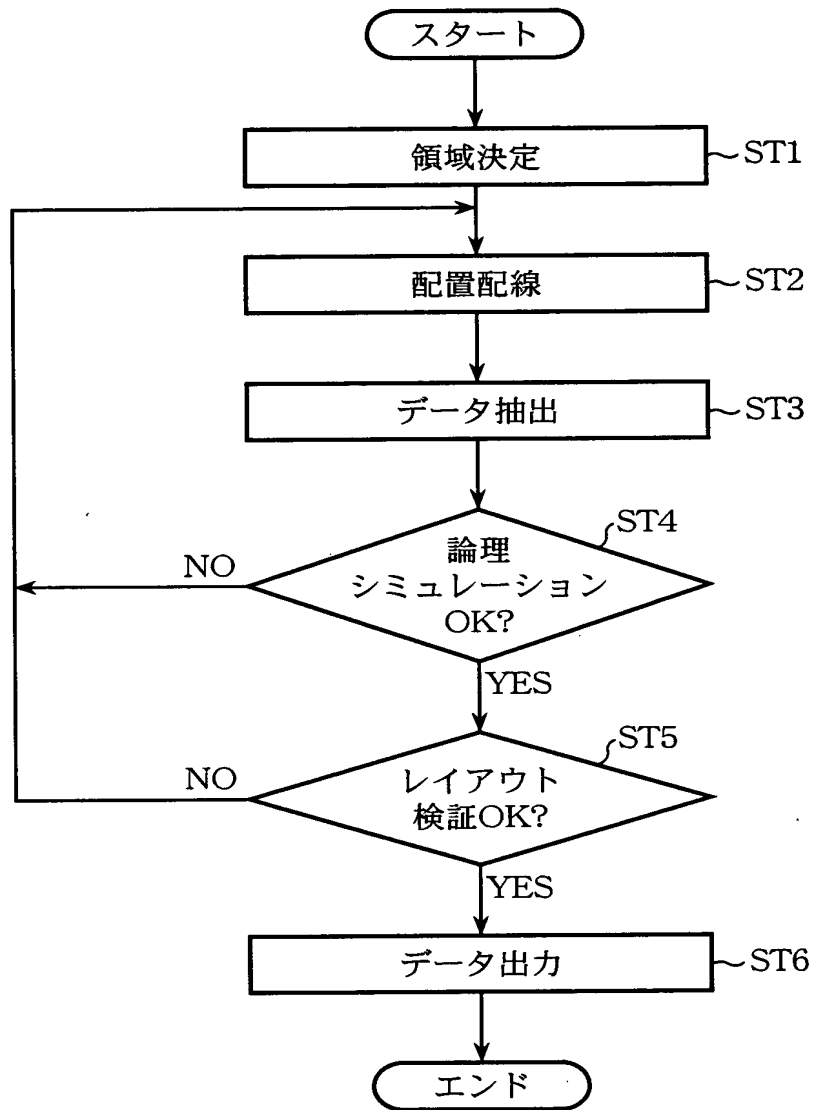
1 レイアウト設計装置、2 領域決定手段、3 初期レイアウト手段、4
レイアウト変更手段、31 第1の配置配線手段、32 第1のレイアウトデー
タ抽出手段、33 第1の論理シミュレーション手段、34 第1のレイアウト
検証手段、35 第1のレイアウトデータ出力手段、41 ネットリスト作成手
段、42 第2の配置配線手段、43 接続手段、44 第2のレイアウトデー
タ抽出手段、45 第2の論理シミュレーション手段、46 第2のレイアウト
検証手段、47 第2のレイアウトデータ出力手段、51 第1回路領域、52
第2回路領域。

【書類名】 図面

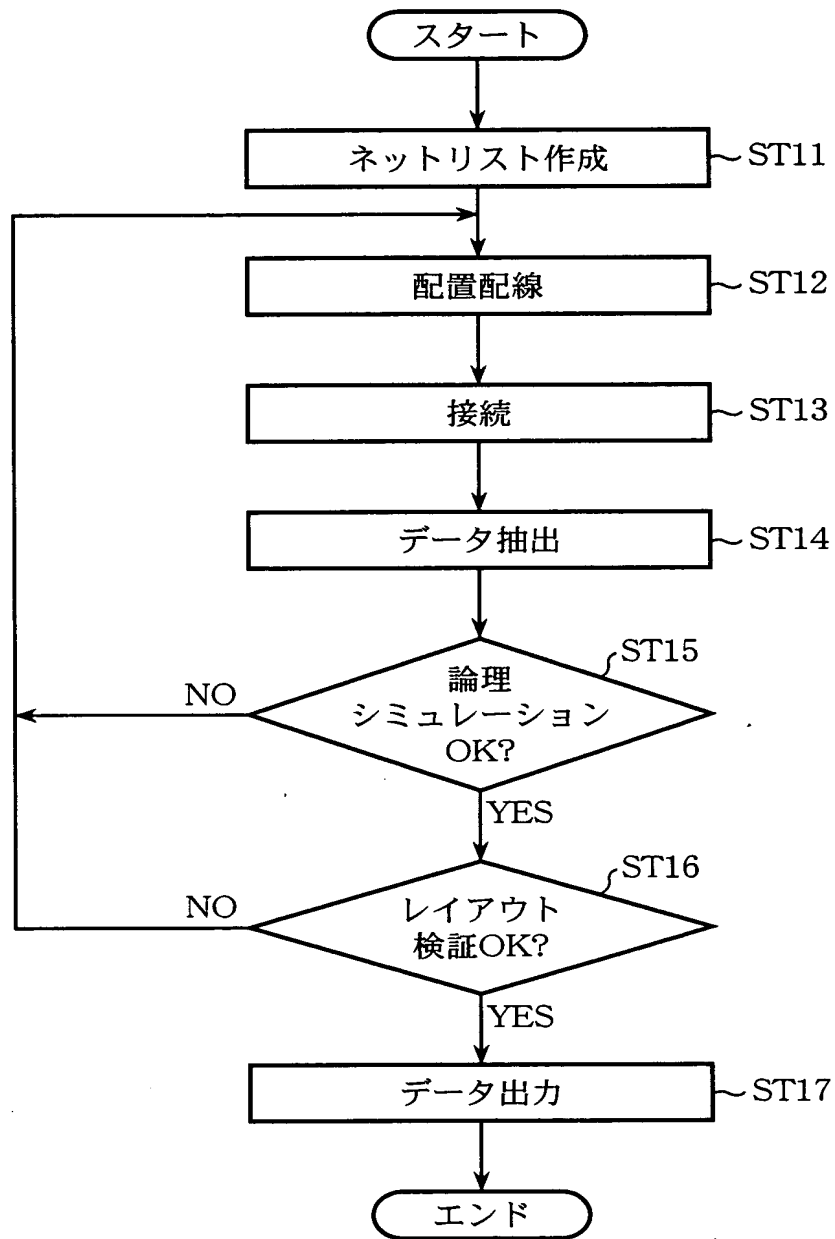
【図1】



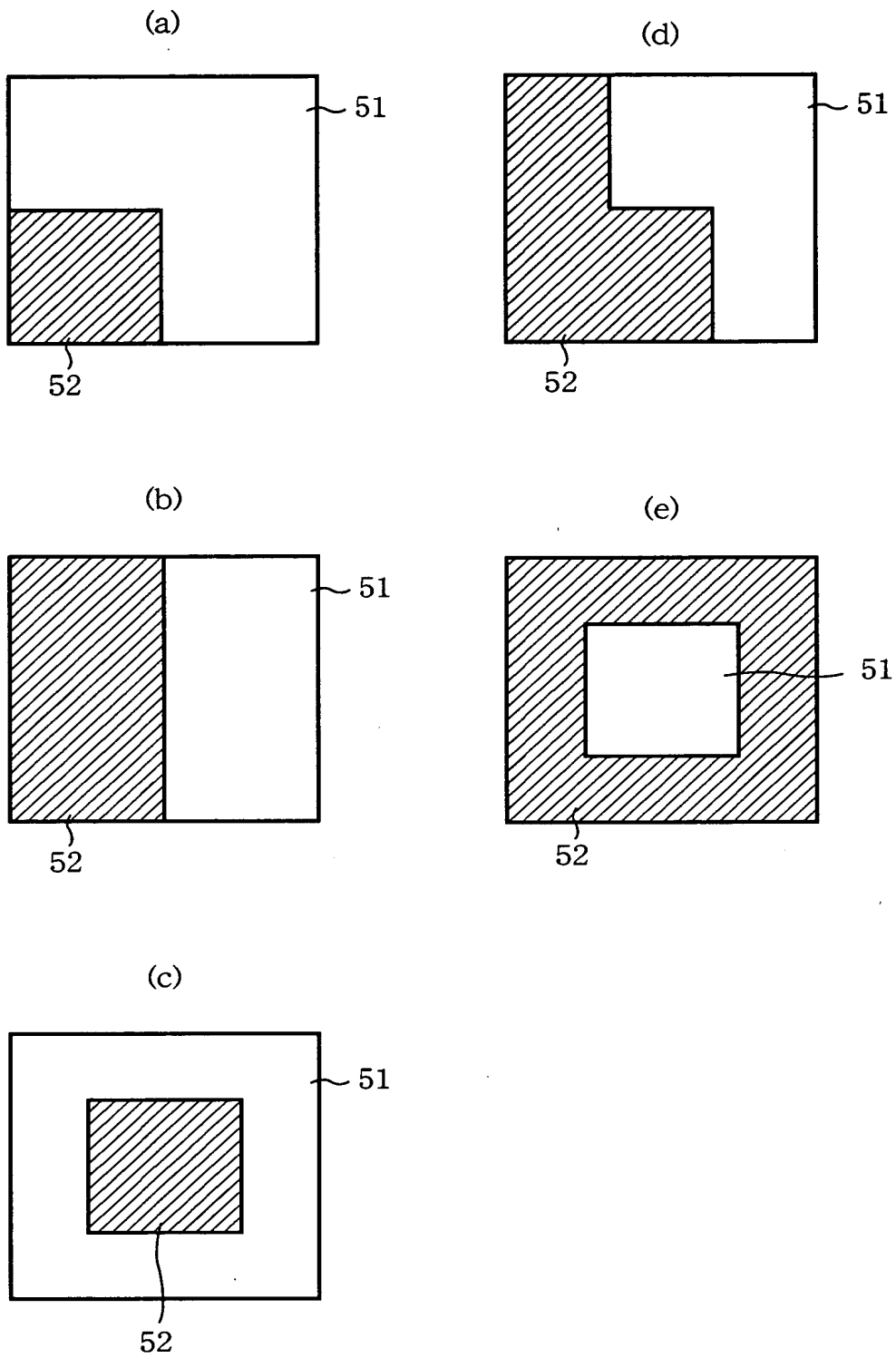
【図2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 短期間及び低コストで半導体集積回路を開発することを可能とするレイアウト設計装置を得る。

【解決手段】 半導体集積回路全体に対するネットリストを用いて配置配線を行い、配線が n 層（ n は2以上の整数）の配線層で構成される第1の回路のレイアウトを第1回路領域に形成し、第1の回路のレイアウトと接続する、配線が $n-m$ 層（ m は n より小さい正の整数）の配線層で構成される第2の回路のレイアウトを第2回路領域に形成する初期レイアウト手段3と、第3の回路に対するネットリストを用いて配置配線を行い、配線が第2の回路の配線を構成する配線層で構成されるように第3の回路のレイアウトを形成し、初期レイアウト手段で形成された第2の回路のレイアウトを第3の回路のレイアウトと入れ替えるレイアウト変更手段4とを備える。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社

出 願 人 履 歴 情 報

識別番号 [391024515]

1. 変更年月日 1997年11月26日

[変更理由] 名称変更

住 所 兵庫県伊丹市中央3丁目1番17号

氏 名 三菱電機システムエル・エス・アイ・デザイン株式会社